

POWERED BY **Dialog**

---

**BIAS CIRCUIT FOR AVALANCHE PHOTODIODE****Publication Number:** 2002-050784 (JP 2002050784 A) , February 15, 2002**Inventors:**

- SUZUKI TAKASHI
- SAWARA MASAOKI

**Applicants**

- HAMAMATSU PHOTONICS KK

**Application Number:** 2000-232030 (JP 2000232030) , July 31, 2000**International Class:**

- H01L-031/10
- H01L-031/107
- H03F-003/08
- H04B-010/28
- H04B-010/26
- H04B-010/14
- H04B-010/04
- H04B-010/06
- H03G-011/04

**Abstract:**

**PROBLEM TO BE SOLVED:** To provide a bias circuit of an APD which has linearity, capable of further expanding the dynamic range of the APD. **SOLUTION:** In the bias circuit of the APD, a feedback control circuit FEC attains feedback function, when a current flowing the APD is small so that a cathode electric potential  $V_k$  is kept constant, while the feedback function is stopped, when it is so large that the output resistance of the APD is raised, resulting in suppressed permanent breakdown of the APD. **COPYRIGHT:** (C)2002,JPO

JAPIO

© 2004 Japan Patent Information Organization. All rights reserved.

Dialog® File Number 347 Accession Number 7182393

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テームコード <sup>*</sup> (参考)
H 0 1 L 31/10		H 0 3 F 3/08	5 F 0 4 9
	31/107	H 0 3 G 11/04	5 J 0 3 0
H 0 3 F 3/08		H 0 1 L 31/10	G 5 J 0 9 2
H 0 4 B 10/28			B 5 K 0 0 2
	10/26	H 0 4 B 9/00	Y

審査請求 未請求 請求項の数 6 O L (全 7 頁) 最終頁に続く

(21) 出願番号 特願2000-232030 (P2000-232030)

(22) 出願日 平成12年7月31日 (2000.7.31)

(71) 出願人 000236436

浜松ホトニクス株式会社

静岡県浜松市市野町1126番地の1

(72) 発明者 鈴木 高志

静岡県浜松市市野町1126番地の1 浜松ホ  
トニクス株式会社内

(72) 発明者 佐原 正哲

静岡県浜松市市野町1126番地の1 浜松ホ  
トニクス株式会社内

(74) 代理人 100088155

弁理士 長谷川 芳樹 (外2名)

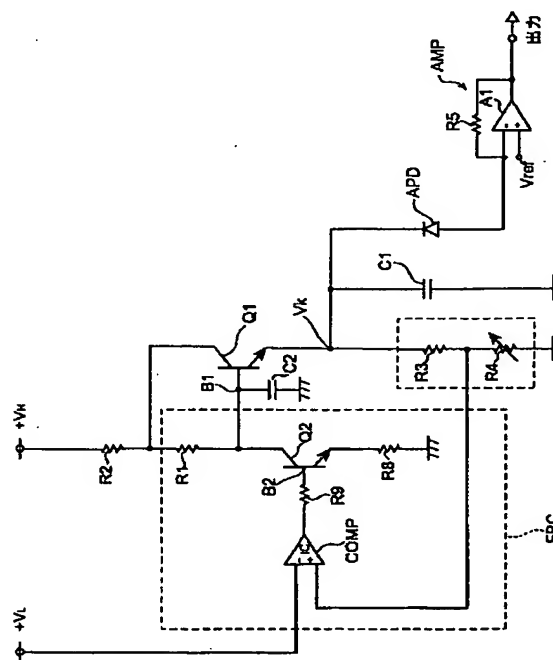
最終頁に続く

(54) 【発明の名称】 アバランシェホトダイオードのバイアス回路

(57) 【要約】

【課題】 APDのダイナミックレンジを更に広げることが可能な線形性を有するAPDのバイアス回路を提供する。

【解決手段】 このAPDのバイアス回路においては、APDに流れる電流が小さい場合には帰還制御回路FBCによってフィードバック機能を達成することによりカソード電位 $V_k$ を一定に保持し、大きい場合にはフィードバック機能を停止させることにより、APDの出力抵抗を大きくし、APDの永久破壊を抑制する。



#### 【特許請求の範囲】

【請求項1】 抵抗素子とアバランシェホトダイオードとの間に電流経路が設定されるアバランシェホトダイオードのバイアス回路において、その制御端子の電位に応じて前記電流経路を流れる電流を制御する第1トランジスタと、前記アバランシェホトダイオードに対して並列であって前記第1トランジスタの一端に接続された分圧抵抗と、前記分圧抵抗の分圧出力に応じて前記制御端子の電位を制御する帰還制御回路とを備えることを特徴とするアバランシェホトダイオードのバイアス回路。

【請求項2】 前記制御端子は所定の抵抗要素を介して前記抵抗素子に接続されており、前記帰還制御回路は、前記分圧出力と基準電位が入力される比較器と、前記比較器の出力が、その制御端子に入力される第2トランジスタとを備え、前記第2トランジスタを流れる電流経路は前記第1トランジスタの制御端子を介して前記抵抗素子に接続されていることを特徴とする請求項1に記載のアバランシェホトダイオードのバイアス回路。

【請求項3】 前記第1及び第2トランジスタは共にバイポーラトランジスタであって、これらの前記制御端子はそれぞれベースを構成することを特徴とする請求項2に記載のアバランシェホトダイオードのバイアス回路。

【請求項4】 前記アバランシェホトダイオードの出力は反転増幅器の反転入力端子に入力されていることを特徴とする請求項3に記載のアバランシェホトダイオードのバイアス回路。

【請求項5】 前記アバランシェホトダイオードは多分割ホトダイオードであることを特徴とする請求項4に記載のアバランシェホトダイオードのバイアス回路。

【請求項6】 前記比較器に入力される基準電圧は、固定電圧を温度センサに入力することによって生成されることを特徴とする請求項5に記載のアバランシェホトダイオードのバイアス回路。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】本発明は、アバランシェホトダイオード（以下、「APD」と称する）のバイアス回路に関する。

##### 【0002】

【従来の技術】従来のAPDのバイアス回路は、特開平7-162369号公報に記載されている。この回路においては、APD駆動用のトランジスタとAPDとの間に高抵抗を接続し、この抵抗を流れる電流による電圧降下を用いてAPDのバイアス電位を低下させ、APDを保護している。

##### 【0003】

【発明が解決しようとする課題】しかしながら、従来のバイアス回路においては、APDに高抵抗が直列接続されているため、APD動作時の過電流破壊は抑制されるが、APDで発生する光電流に対しても当該高抵抗が機

能するため、APD出力の線形性が低下し、したがって、ダイナミックレンジを十分に広げることができないという不具合が発生する。本発明は、このような課題に鑑みてなされたものであり、APDのダイナミックレンジを更に広げることが可能な線形性を有するAPDのバイアス回路を提供することを目的とする。

##### 【0004】

【課題を解決するための手段】上述の課題を解決するため、本発明に係るAPDのバイアス回路は、抵抗素子とAPDとの間に電流経路が設定されるAPDのバイアス回路において、その制御端子の電位に応じて前記電流経路を流れる電流を制御する第1トランジスタと、前記APDに対して並列であって前記第1トランジスタの一端に接続された分圧抵抗と、前記分圧抵抗の分圧出力に応じて前記制御端子の電位を制御する帰還制御回路とを備えることを特徴とする。なお、抵抗素子はトランジスタ等を用いて形成することもできる。

【0005】この場合、APDの電流に対する電圧の変化（出力抵抗）は帰還制御回路によって抑制されるため、出力抵抗を低下させ、すなわち線形性（リニアリティ）を向上して、そのダイナミックレンジを広げることができる。

【0006】本発明のAPDのバイアス回路においては、前記制御端子は所定の抵抗要素を介して前記抵抗素子に接続されており、前記帰還制御回路は、前記分圧出力と基準電位が入力される比較器と、前記比較器の出力が、その制御端子に入力される第2トランジスタとを備え、前記第2トランジスタを流れる電流経路は前記第1トランジスタの制御端子を介して前記抵抗素子に接続されていることを特徴とする。

【0007】この場合、APDに流れる電流量に応じて、前記第2トランジスタの電流が変化し、APDにかかるバイアス電圧を一定に保つように帰還制御が働く。APDの電流が大きくなると前記第2トランジスタの電流が減少する。さらにAPDの電流が大きくなり、第2トランジスタの電流が零となった時点で帰還制御が動作しなくなり、バイアス回路は抵抗要素によって出力抵抗が著しく増大する。これ以降はAPDに流れる電流は抵抗素子によるバイアス電圧効果が働き、APDのバイアス電圧が低下して、APDの破壊が抑制される。

【0008】本発明のAPDのバイアス回路においては、前記第1及び第2トランジスタは共にバイポーラトランジスタであって、これらの制御端子はそれぞれベースを構成することを特徴とする。この場合、トランジスタがバイポーラトランジスタであるので、MOS型トランジスタに比較して高速動作を行うことができる。

【0009】本発明のAPDのバイアス回路においては、前記APDの出力は反転増幅器の反転入力端子に入力されていることを特徴とする。この出力は反転増幅器によって増幅される。また、反転増幅器はトランスイン

ピダンスアンプであることが好ましい。

【0010】本発明のAPDのバイアス回路においては、前記APDは多分割ホトダイオードであることを特徴とする。この場合、DVDの光ピックアップ等に本回路を適用することができる。

【0011】本発明のAPDのバイアス回路においては、前記比較器に入力される基準電圧は、固定電圧を温度センサに入力することによって生成されることを特徴とする。この場合、温度センサの出力は温度によって変化するため、温度センサの温度特性を適当に選択すれば、APD出力の温度依存性を低下させることができる。

【0012】

【発明の実施の形態】以下、実施の形態に係るAPDのバイアス回路について説明する。同一要素には同一符号を用い、重複する説明は省略する。なお、APDは略称及び符号を合せてAPDとして記載する。

【0013】図1は実施の形態に係るAPDのバイアス回路の回路図である。この回路は、抵抗素子R2とAPDとの間に電流経路が設定されるAPDのバイアス回路である。すなわち、高電圧（本例では120V程度）の電源VHと参照電位Vrefとの間には、抵抗素子R2、第1トランジスタQ1、APDが直列に接続されており、第1トランジスタ（本例ではバイポーラトランジスタ）は、その制御端子（本例ではベース）の電位（ベース電流に比例する）に応じて前記電流経路を流れる電流を制御する。

【0014】第1トランジスタQ1のエミッタとグランドとの間には、分圧抵抗R3、R4が接続されている。すなわち、この分圧抵抗R3、R4はAPDに対して並列であって第1トランジスタQ1の一端に接続されている。

【0015】本回路は帰還制御回路FBCを備えており、帰還制御回路FBCは分圧抵抗R3、R4の分圧出力に応じて制御端子B1の電位を制御する。すなわち、APDのカソード側の電位Vkが低下した場合には、この電位の低下に応じて分圧抵抗R3、R4の分圧点の電位が低下し、これに応じて帰還制御回路FBCが制御端子B1の電位を上昇させて、第1トランジスタQ1を流れる電流を増加させ、分圧抵抗R3、R4に流れる電流を増加させて、APDのカソード側の電位Vkを上昇させる。

【0016】帰還制御回路FBCは、前記分圧出力と基準電位VL（本例では5V）が入力される比較器（誤差アンプ）COMPと、比較器COMPの出力が、その制御端子B2に入力される第2トランジスタQ2とを備えている。制御端子B1は抵抗要素（抵抗素子）R1を介して抵抗素子R2に接続されている。すなわち、第2トランジスタQ2を流れる電流経路は第1トランジスタQ1の制御端子B1及び抵抗素子R1を介して抵抗素子R

2に接続されている。

【0017】上記分圧出力と基準電位VLとの比較結果が抵抗素子R9を介してトランジスタQ2の制御端子B2に入力される。APDのカソードの電位Vkの低下によって、制御端子B2の電位が低下するように設定すると、トランジスタQ2のコレクターエミッタ間を通じ抵抗素子R8を介してグランドに流れる電流は、カソード電位Vkの低下によって減少し、したがって、抵抗素子R1を流れる電流が減少し、その電圧降下が減少するので、制御端子B1の電位が上昇する。帰還制御回路FBCは、このようにして制御端子B1の電位を上昇させて、第1トランジスタQ1を流れる電流を増加させ、分圧抵抗R3、R4に流れる電流を増加させて、APDのカソード側の電位Vkを上昇させる。

【0018】このような抵抗素子R1の両端間の電位差は、零ボルト以下より高い電位に維持できるため、APDを流れる電流が著しく増加した場合、すなわち、APDのブレイクダウン電圧を越える電流が流れている場合において、帰還制御回路FBCによるフィードバック制御は機能しなくなり、抵抗素子R2の電圧降下によってAPDのカソード側の電位Vkが低下し、すなわち、バイアス電圧が低下し、APDに供給される電流が減少する。すなわち、ブレイクダウン電圧（電流）を越えると、抵抗素子R2がリミットとして機能する。

【0019】このように、本実施形態のバイアス回路では、APDに流れる電流が小さい場合にはフィードバック機能を達成することによりカソード側の電位Vkを一定に保持し、換言すれば、電流に対する電圧の変化量（出力抵抗）を小さくすると共に、APDに流れる電流が大きい場合にはフィードバック機能を停止させることにより出力抵抗を大きくしてAPDの永久破壊を抑制することができる。すなわち、APDに入射する光パワーが小さい領域においては出力抵抗（リニアリティ）を小さく且つ一定とし、及びその光パワーに対する変動を小さくすることができる。なお、上記いずれの抵抗素子もトランジスタ等を用いて形成することができる。

【0020】なお、APDの出力は反転増幅器AMPの反転入力端子に入力されるが、非反転入力端子は参照電位Vrefに固定されている。これらの端子は仮想短絡しているので、APDのアノード側の電位はVrefに保持される。反転増幅器AMPはトランスインピダンスアンプである。

【0021】また、上記第1及び第2トランジスタQ1、Q2は共にバイポーラトランジスタであって、これらの制御端子B1、B2はそれぞれベースを構成しており、MOS型トランジスタと比較して高速動作を行うことができる。もちろん、第1及び第2トランジスタQ1、Q2をMOS型トランジスタで構成することも可能であるが、この場合には制御端子B1、B2はゲートとなる。

【0022】かかる高速動作は、光ピックアップ等にも有用である。例えば、DVD用の光ピックアップにおいては、APDは多分割ホトダイオードであることが好ましい。また、安定化等の必要に応じて容量素子C1、C2を図示の如く挿入してもよい。

【0023】また、温度補償機能を有するように、比較器COMPに入力される基準電位VLは、固定電圧（例えば、5V）を温度センサに入力することによって生成されることにしてもよい。この場合、温度センサの出力は温度によって変化するため、温度センサの温度特性を適当に選択すれば、APD出力の温度依存性を低下させることができる。

【0024】図2は、このような場合のAPDのバイアス回路である。図1のものとの違いは、（1）APDが4分割ホトダイオードであって4つのダイオードからなる点、（2）それぞれのダイオードの出力は複数の反転増幅器にそれぞれ入力されている点、（3）基準電圧VLを温度センサSの出力から生成している点、（4）APDを含む回路の一部、すなわち、温度センサS、比較器COMP、分圧抵抗R3、R4を1つのパッケージPKG内に収納している点、（5）パッケージの外周に幾つかの端子（ピン）を設けている点である。なお、多分割型のホトダイオードは、DVDの光ピックアップ等に適用することができる。

【0025】増幅器AMPからは、APDを流れる電流量に比例して出力A、B、C、Dが出力される。

【0026】図中の1番端子から12番端子の役割は以下の通りである。

- 1番端子：グランド接続用
- 2番端子：電源（VL）接続用
- 3番端子：温度センサSの出力モニタ用
- 4番端子：APDゲイン設定抵抗用
- 5番端子：APDのアノード
- 6番端子：APDのアノード
- 7番端子：APDのアノード
- 8番端子：APDのアノード
- 9番端子：誤差アンプ（比較器COMP）の出力用
- 10番端子：帰還電圧モニタ用
- 11番端子：APDのカソード
- 12番端子：カソード電圧入力

【0027】なお、4番端子に接続される抵抗の温度係数は100ppm/℃以下とする。また、回路素子の定数は図示の如く設定されることが好ましい。これらの定数の大小関係の説明は、図面から明らかであるので省略する。

【0028】図3は、図2に示した回路における光パワー（W）と、基準化したリニアリティの関係を示すグラフである。光の波長は466nmである。同グラフに示すように、光パワーの変動に対するAPDのリニアリテ

ィの変化は、増倍率が4倍から255倍の間において、著しく小さく、したがって、検出可能な光強度のダイナミックレンジを増加させることができる。なお、本例の出力抵抗は数Ωである。

【0029】なお、上記実施の形態に係るAPDのバイアス回路と比較されるべき回路について説明しておく。

【0030】図4は、比較例に係るAPDのバイアス回路の回路図である。この回路においては、APDに対して直列に抵抗素子Rが接続され、その出力を増幅器AMPによって増幅している。なお、安定化のため、容量素子CがAPDに対して並列に介在している。

【0031】図5は、比較例に係る回路による光パワー（W）と、基準化したリニアリティの関係を示すグラフである。抵抗素子Rの抵抗値は2kΩである。同グラフに示すように、光パワーの変動に対するAPDのリニアリティの変化は、増倍率が5倍から127倍の間において比較的大きく、検出可能な光強度のダイナミックレンジを増加させることができない。

【0032】図6は、別の比較例に係るAPDのバイアス回路の回路図である。この回路は、特開平7-162369号公報に記載されているものである。この回路においても、APDに対して直列に抵抗Rが接続され、その出力を増幅器AMPによって増幅している。

【0033】図7は、上記別の比較例に係る回路による光パワー（受光電力（μW））と、基準化したリニアリティの関係を示すグラフである。なお、図中には、増倍率2～166の場合の特性が示される。抵抗素子Rの抵抗値は1kΩである。同グラフに示すように、光パワーの変動に対するAPDのリニアリティの変化は、増倍率が大きい場合において大きく、検出可能な光強度のダイナミックレンジを増加させることができない。

【0034】図8は、APDを流れる電流と出力抵抗との関係を概略的に示すグラフである。図8（A）は実施形態に係るもの、図8（B）は比較例に係るもの、図8（C）は別の比較例に係るもののグラフである。

【0035】実施形態に係るものにおいては、APD電流が低い領域において出力抵抗が低い一方でAPD電流が高い領域においては出力抵抗が急激に上昇し、リミッタ（保護回路）機能が発生する。比較例に係るものにおいてはAPD電流に拘わらず出力抵抗が高く、別の比較例においてはAPD電流が低い領域においても出力抵抗が高い。出力抵抗が急激に上昇してリミッタ機能が生じる際のAPD電流をIsとする。Isは以下の式で与えられる。なお、抵抗素子R1乃至R4の抵抗値、電源VHの電圧、カソード電位Vkを、符号と同一記号で表記する。第1トランジスタQ1のベース-エミッタ間電圧はVbeとする。

【0036】

$$I_s = (V_H - (1 + R_2 / (R_3 + R_4)) V_k - V_{be}) / R_2$$

【0037】分圧抵抗R3，R4の抵抗値が十分に大きい場合には、 $I_s$ は以下の式で与えられる。

$$【0038】I_s = (V_H - V_k - V_{be}) / R_2$$

【0039】以上、説明したように、上述の実施形態のバイアス回路においては、APDに流れる電流が小さい場合にはフィードバック機能を達成することによりカソード電位 $V_k$ を一定に保持し、大きい場合にはフィードバック機能を停止させ（リミット機能を有効とする）ることにより出力抵抗を大きくしてAPDの永久破壊を抑制することができる。

【0040】

【発明の効果】本発明のAPDのバイアス回路によれば、APDのダイナミックレンジを更に広げることが可能な線形性を有する。

【図面の簡単な説明】

【図1】実施の形態に係るAPDのバイアス回路の回路図である。

【図2】4分割APDのバイアス回路図である。

【図3】図2に示した回路における光パワー（W）と基準化したリニアリティの関係を示すグラフである。

【図4】比較例に係るAPDのバイアス回路の回路図である。

【図5】比較例に係る回路による光パワー（W）と基準化したリニアリティの関係を示すグラフである。

【図6】別の比較例に係るAPDのバイアス回路の回路図である。

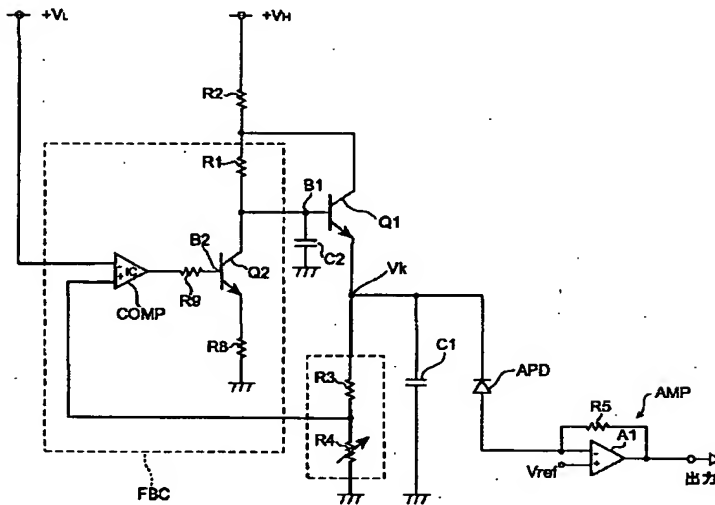
【図7】上記別の比較例に係る回路による受光電力（ $\mu W$ ）と基準化したリニアリティの関係を示すグラフである。

【図8】APDを流れる電流と出力抵抗との関係を概略的に示すグラフである。

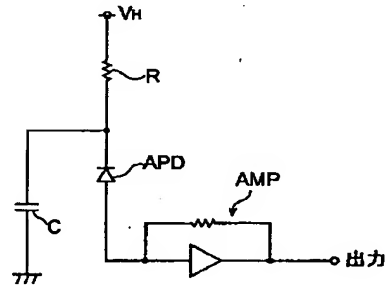
【符号の説明】

AMP…反転増幅器、B1，B2…制御端子、C…容量素子、C1…容量素子、COMP…比較器、FBC…帰還制御回路、PKG…パッケージ、Q1，Q2…トランジスタ、R…抵抗素子、R1…抵抗素子、R2…抵抗素子、R3，R4…分圧抵抗、R8…抵抗素子、R9…抵抗素子、S…温度センサ、VH…電源、VL…基準電位、Vk…カソード電位、Vref…参照電位。

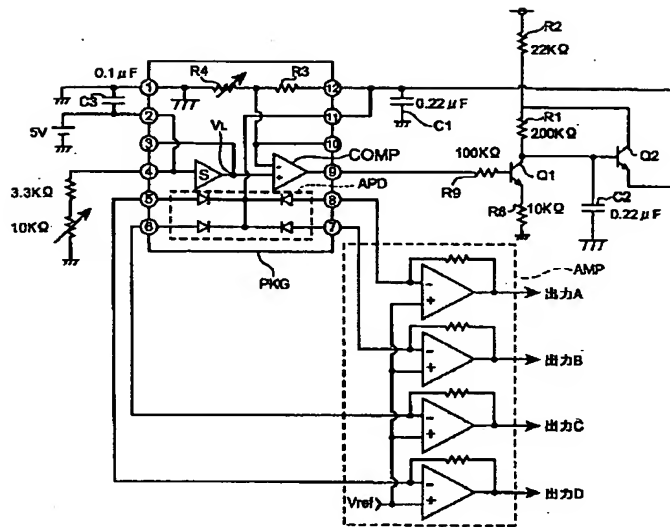
【図1】



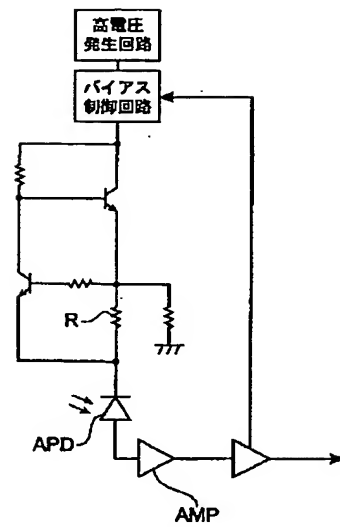
【図4】



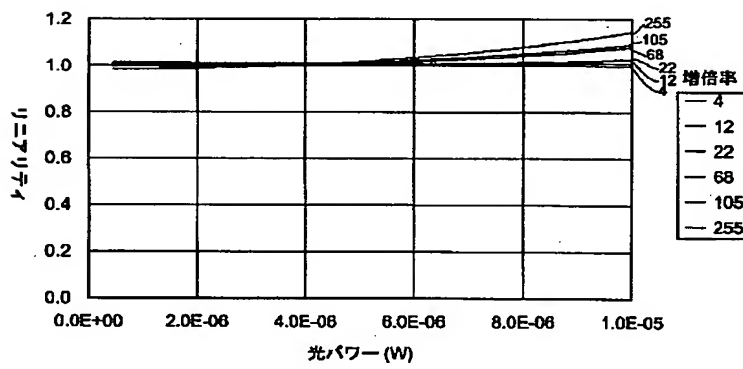
【図 2】



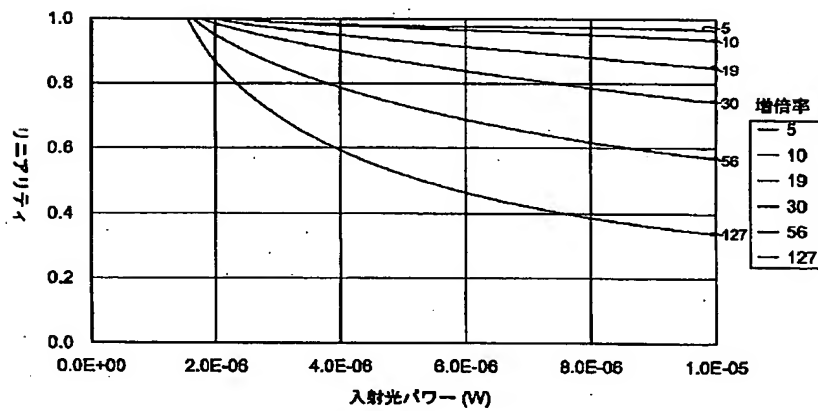
【图6】



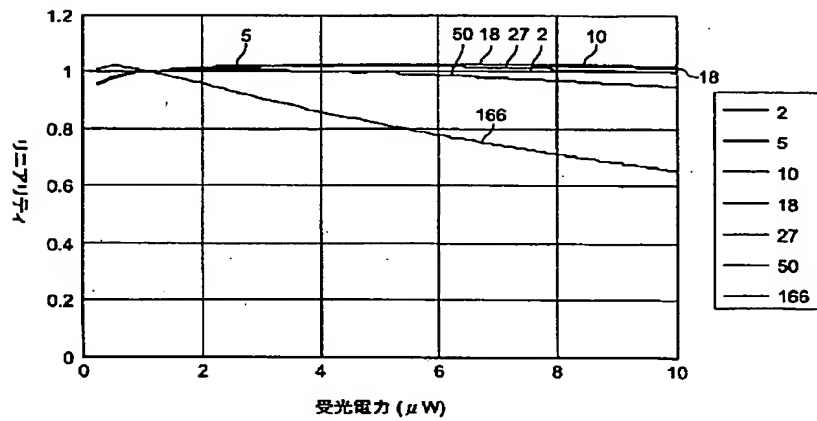
【図 3】



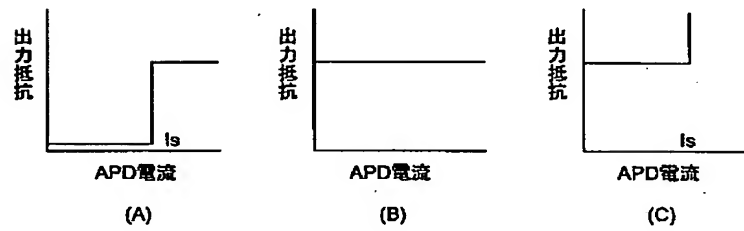
【図 5】



【図 7】



【図 8】



フロントページの続き

(51) Int. Cl. 7

識別記号

F I

テーマコード (参考)

H 0 4 B 10/14

10/04

10/06

// H 0 3 G 11/04

F ターム (参考) 5F049 MA07 NA03 NA20 NB08 RA02

UA11 UA18 WA03

5J030 CB03 CC01 CC05

5J092 AA03 AA56 CA32 CA81 FA17

HA02 HA25 HA43 HA44 KA12

KA17 MA13 SA13 TA01 TA02

UL03

5K002 BA15 CA03 CA11